

Ricevitore TV

processo Pa 8. Comenta verificare se un microprocessore sta funzionando correttamente. A) actividad. b) Controllo) Verificare reloj. c) Controllo alimentación. d) Confronto di reset.

9. Come funziona un generatore OSD TV? ricezione gli impulsi di sincronizzazione verticale e orizzontale d, d necessario situare i dati stabili nella zona deseada. El immagine d d generatore di carattere lato offre 4 linee d segnali salida. X d trovare rosso, verde e blu, yevaremos su q q trovare un interruttore triple nella crominancia. Pa processo ste disciplinano interruttore d serve a cancellare rapidamente il segnale d (fast blanking) q esce dal generatore OSD

10 .. Cosa serve per q passo MF d d un televisore? A) Dopo aver selezionato la stazione a ricevere il segnale viene applicato alla frequenza intermedia. Ste amplificatore di carica d blocco d amplificare il segnale dato x tuner, migliorando segnale-ruido. D vettori è stato invertito il segnale d 'antenna di passaggio tuner x, impiega attualmente fissato pa frequenza intermedia frequenza stabilita la PAL: 33.4 MHz vettore d audio PA, PA 34,4 MHz sottoportante croma d pa e del 38,9 canale vettore larghezza MHz d vídeo. El è d 7MHz band PA I e III / VHF e 8MHz pa bande IV e V (UHF).

11. Enumera i blocchi che formano un ricevitore della televisione. a) Sintonizador. b) intermedia. c) frequenza) Demodulador. d) automatico ganancia. e) Control) interportadoras. f) System) sistema di quasi parallelo.

controllo il funzionamento del sistema

12. Esplica d d d frequenza di sintonizzazione sintesi x. q l'utente può selezionare una particolare frequenza nel sistema non saranno ste sintonizador. Con necessarie per effettuare tuning spazza d band per, ma istantaneamente qd regolerà il lavoro locale pa q oscillatore alla ricezione dei canali appropriati deseado. La ste pa frequenza struttura del circuito d si basa sull'esecuzione di un locked loop di fase (PLL) con 2 stas señales. Del STA confronto d risultato sarà dedotto se è necessario modificare la frequenza dell'oscillatore locale e, in caso affermativo, sarà modificato fino d q sono spesso bloccare velocemente la frequenza desiderata x elemento di riferimento d usuario. Como d confronto pa segnale di fase viene generato modello sul circuito stesso d d funzioni di controllo da un oscillatore controllato in punto d d fisico cristal. Dsd, la sintesi del sistema d d d spesso impiegate circa 2 o 3 chip . All'interno sintonizzatore PLL sono blocchi, il modello oscillatore DSD al divisore programmabile.